

概述

SPD1148 是旋智科技针对 12~24V 应用推出的高集成度电机驱动 SOC, 成功地应用在电动工具、低压吸尘器、低压水泵以及 HVAC 等等领域。

注意: 本文档主要讨论 SPD1148 在电路设计中经常遇到的问题, 并且推荐一些实用电路。

目录

1	SPD1148 周边元件选取指南	7
1.1	各个电容选取方法.....	8
1.1.1	Cboot 电容.....	8
1.1.2	VDDG 电容.....	9
1.1.3	VBAT 电容.....	10
1.1.4	VDD5 电容.....	10
1.1.5	VCP 电容 CCP、CF 电容.....	10
1.1.6	DVDD 电容.....	11
1.1.7	AVDD 电容.....	11
1.1.8	VCAP12 电容.....	11
1.2	Buck 电路元件选取方法.....	12
1.2.1	Buck 电路电容选取.....	13
1.2.2	Buck 电感选取.....	13
1.3	第一次发出 PWM 波的注意事项.....	14
2	SPD1148 实用电路	14
2.1	SPD1148 唤醒电路.....	14
2.2	SPD1148 低压工作电路.....	15
2.3	SPD1148 的电荷泵状态检查.....	19
2.4	SPD1148 防反接电路.....	21
2.5	SPD1148 低压运行预防电路.....	22
2.5.1	SPD1148 低压运行预防电路（1）.....	22
2.5.2	SPD1148 低压运行预防电路（2）.....	23
2.5.3	SPD1148 低压运行软件策略及问题应对.....	23
3	SPD1148 常用工程寄存器	24

图片列表

图 1-1: SPD1148 电路结构示意图.....	7
图 1-2: 目标 Mosfet IRFR7440 的基本参数.....	7
图 1-3: 目标 Mosfet IRFR7440 的 Ciss 参数.....	8
图 1-4: Charge Pump 工作示意简图.....	10
图 1-5: SPD1148 VCAP12 引脚示意图.....	12
图 1-6: SPD1148 内部 Buck 简图.....	12
图 1-7: VDDG 欠压的触发和恢复值.....	14
图 2-1: SPD1148 XRSTn 内部连接示意.....	14
图 2-2: SPD1148 唤醒电路示例.....	15
图 2-3: SPD1148 低电平参数.....	15
图 2-4: SPD1148 低压工作电路 I.....	16
图 2-5: 目标 Mosfet IRFR7440 对 VGS 的限制参数.....	16
图 2-6: SPD1148 对 VBS 的限制参数.....	17
图 2-7: SPD1148 低压工作电路 II.....	17
图 2-8: 电荷泵保护电路.....	18
图 2-9: CPPROTEN 寄存器.....	18
图 2-10: 单相预驱简化框图.....	19
图 2-11: SPD1148 推荐防反接电路.....	21
图 2-12: 目标 Mosfet IRFR7440 的 Vgs - Id 曲线.....	22
图 2-13: SPD1148 低压运行预防上桥误动作的电路.....	22
图 2-14: SPD1148 预充电电路.....	23

表格列表

表 1-1: 元件选取原则汇总	13
表 3-1: 相关工程寄存器	24

SPIN TROL

版本历史

版本	日期	作者	状态	变更
C/0	2024-03-04	周佳莉	Released	首次发布。

SPIN
TROL

术语或缩写

术语或缩写	描述
SOC	System on Chip, 片上系统
Charge pump	电荷泵

SPIN TROL

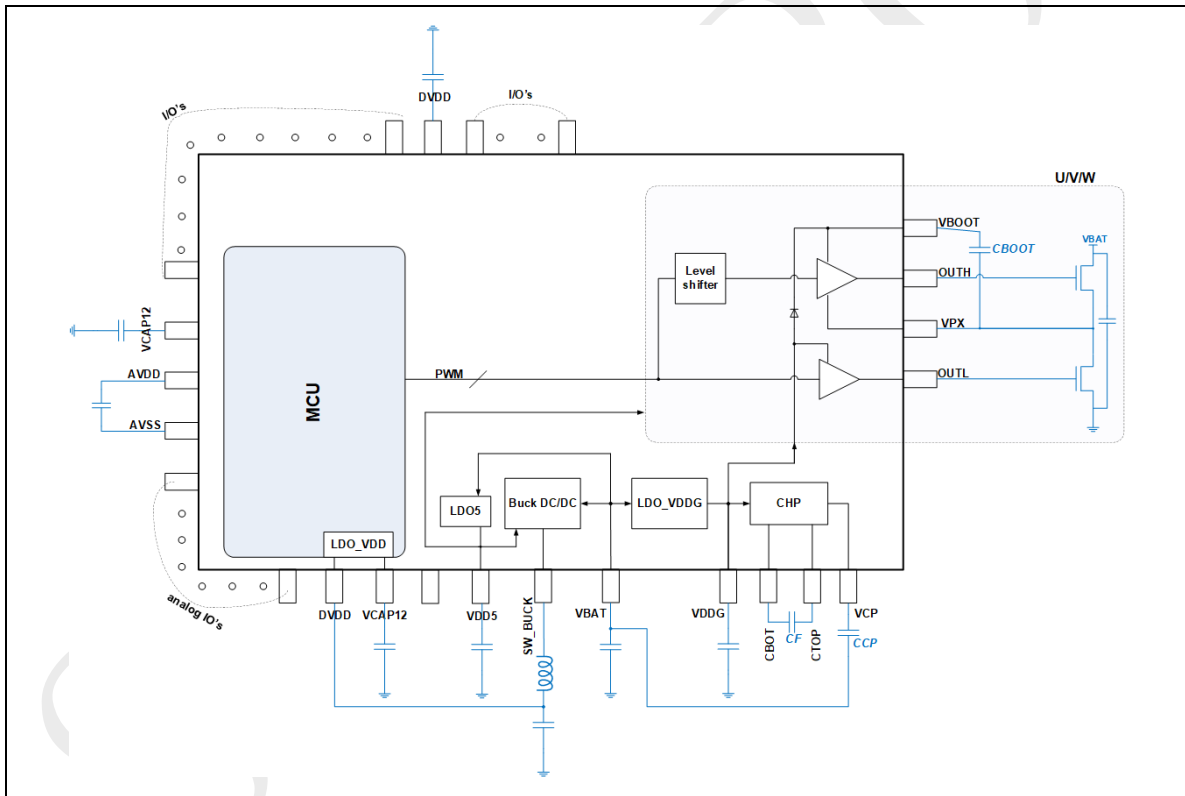
1 SPD1148 周边元件选取指南

SPD1148 包含如下几个模块：

- MCU
- Pre-Driver
- Charge Pump
- 3.3V Buck
- 5V LDO

其周边电路的一般形式如下图：

图 1-1: SPD1148 电路结构示意图



为了让后面元件取值的选取,更具有直观性,这里选取一个目标 Mosfet 为 IRFR7440, 它的基本特性如下:

图 1-2: 目标 Mosfet IRFR7440 的基本参数

V_{DSS}	40V
$R_{DS(on)}$ typ.	1.9m Ω
max.	2.4m Ω
I_D (Silicon Limited)	180A ①
I_D (Package Limited)	90A

1.1 各个电容选取方法

注意： *表示该数值为芯片设计值，生产时不作为卡测标准。

1.1.1 Cboot 电容

Cboot 的选择推荐遵循以下两个方法：

1. Cboot 电容中的电荷用于给三个半桥电路上桥驱动的供电，当上桥打开时，Cboot 中的电荷会向 Mosfet 的 Gate 端充电，为了防止因为 Cboot 的电容不足，造成最后 Mosfet 的门极电压不足，需要选取一个较大的 Cboot 值，举例根据下图 Mosfet 的参数，推荐的 Cboot 为大于 50nF：

$$\text{Cboot} > 10 \times \text{Ciss} \text{ (Mosfet 输入电容)} \approx 50\text{nF} \quad \text{公式 1.1}$$

图 1-3: 目标 Mosfet IRFR7440 的 Ciss 参数

C_{iss}	Input Capacitance	—	4610	—	pF
C_{oss}	Output Capacitance	—	690	—	
C_{ras}	Reverse Transfer Capacitance	—	460	—	

2. 当上桥已经打开后，上桥驱动有一定的漏电，在 SPD1148 中，这个漏电流约为 800uA*，这部分漏电会汲取 Cboot 上的电荷。这个漏电流并不大，但如果 Cboot 长时间没有得到补充，还是会造成 Cboot 上的电压明显下降，进而影响到 Mos 上桥的开通。

SPD1148 芯片中集成了 Charge Pump，在上桥 Mosfet 开通再经过消隐时间与滤波时间之后，该功能可以持续的为 Cboot 补充电荷。Charge Pump 默认打开（推荐），但用户也可以根据自身需求手动关闭。

- a) Charge Pump 功能使能时：此时 Cboot 上的电荷需要保证在消隐时间 t_{blank} 与滤波时间 t_{filter} 之内，Cboot 上的电压跌落小于 ΔV ， t_{blank} 和 t_{filter} 均可以通过软件设置，最大值为 3.2us， ΔV 可以选取为 1V，则此时 Cboot 需要大于

$$\text{Cboot} > (800\mu\text{A} \times (t_{blank} + t_{filter})) / \Delta V \approx 480\text{pF} \quad \text{公式 1.2}$$

由此可见，一般情况下，当 Charge Pump 可以正常作用的情况下，对 Cboot 上因为上桥漏电产生的压降很小，应用中可以不用过多关注。

- b) Charge Pump 功能禁用时：此时在上桥开通后，Cboot 的电容无法得到补充，会因为漏电电流，随时间逐渐降低。此时若希望在 Δt 时间内，Cboot 上的电压跌落小于 ΔV ， ΔV 可以选取为 1V， Δt 选取为 5ms，则推荐的 Cboot 需要大于

$$\text{Cboot} > (800\mu\text{A} \times \Delta t) / \Delta V \approx 5\mu\text{F} \quad \text{公式 1.3}$$

综上，可以根据是否需要上桥长时间导通，然后分别根据公式 1.1 或者公式 1.3 来选取 Cboot 的大小。

1.1.2 VDDG 电容

VDDG 是 VBAT 通过 LDO_VDDG 产生的，这个 LDO 有 40~160mA* 的限流。VDDG 上的电能用于：

1. H 桥下桥驱动，此时 VDDG 的电能用于充满 3 路 Mosfet 的 C_{gs} 和 C_{gd} ，或者等效为 C_{iss} ，考虑到 IRFR7740 的例子，我们可以计算为：

$$C_{VDDG} > 3 \times 10 \times C_{iss} \text{ (Mosfet 输入电容)} \approx 150\text{nF} \quad \text{公式 1.4}$$

2. 当上桥 C_{boot} 为零或较低时，下桥打开后，电能将从 VDDG 电容搬运到 C_{boot} 电容上，这部分一般会用较长的一段时间完成，且 VDDG 对外输出在芯片内部也有限流，这个限流值为 200mA*，所以对 VDDG 的容量要求并不高；在条件允许的情况下，为了防止最推荐的 C_{boot} 充电方式为：考虑到 VDDG 上电压的跌落和电能的补充，当 C_{boot} 电容电量不足时，下桥的前几个 Pulse 不要持续导通，而是按照每次导通时间不超过 10us，间隔大于 40us 的方式，导通 10 个周期后，再开启持续导通；
3. 当上桥持续开通时候，Charge Pump 持续给上桥 C_{boot} 补充电能，其中 Charge Pump 约一半的电能来自于 VDDG 电容，这部分基本等于上桥驱动漏电流的一半，在之前的公式 1.2 中，可以看出这部分数量较小，可以不予考虑。

VDDG 的电容的大小会影响 VDDG 电压本身的稳定性，一般情况下，电容越大，稳定性越好，考虑公式 1.4 和一般元件的选取方便，推荐 $C_{VDDG} \geq 2.2\mu\text{F}$ 。

1.1.3 VBAT 电容

根据 VBAT 是否直接连接到主电源 VM 上，分成下面两种情况：

1. VBAT 直接连接到 VM 上，则 VBAT 的大小应该根据掉电后需要至少工作的时长 ΔT 和最大功率 P_{Max} 来算。

$$\frac{1}{2} \times C_{VBAT} \times U_{Norm}^2 - \frac{1}{2} \times C_{VBAT} \times U_{Shutdown}^2 \geq P_{Max} \times \Delta T$$

$$C_{VBAT} \geq \frac{2 \times P_{Max} \times \Delta T}{(U_{Norm}^2 - U_{Shutdown}^2)}$$

其中 U_{Norm} 是正常工作电压， $U_{Shutdown}$ 是掉电保护电压。

2. VBAT 与 VM 通过二极管相连（如“SPD1148 低压工作电路”章节所叙述），则此时 VBAT 的负载为 SPD1148 的预驱电路，可以一般的按照 SPD1148 消耗典型功率小于 1.2W*来计算：

$$\frac{1}{2} \times C_{VBAT} \times U_{Norm}^2 - \frac{1}{2} \times C_{VBAT} \times U_{Shutdown}^2 \geq 1.2W \times \Delta T$$

$$C_{VBAT} \geq \frac{1.2W \times \Delta T}{(U_{Norm}^2 - U_{Shutdown}^2)}$$

1.1.4 VDD5 电容

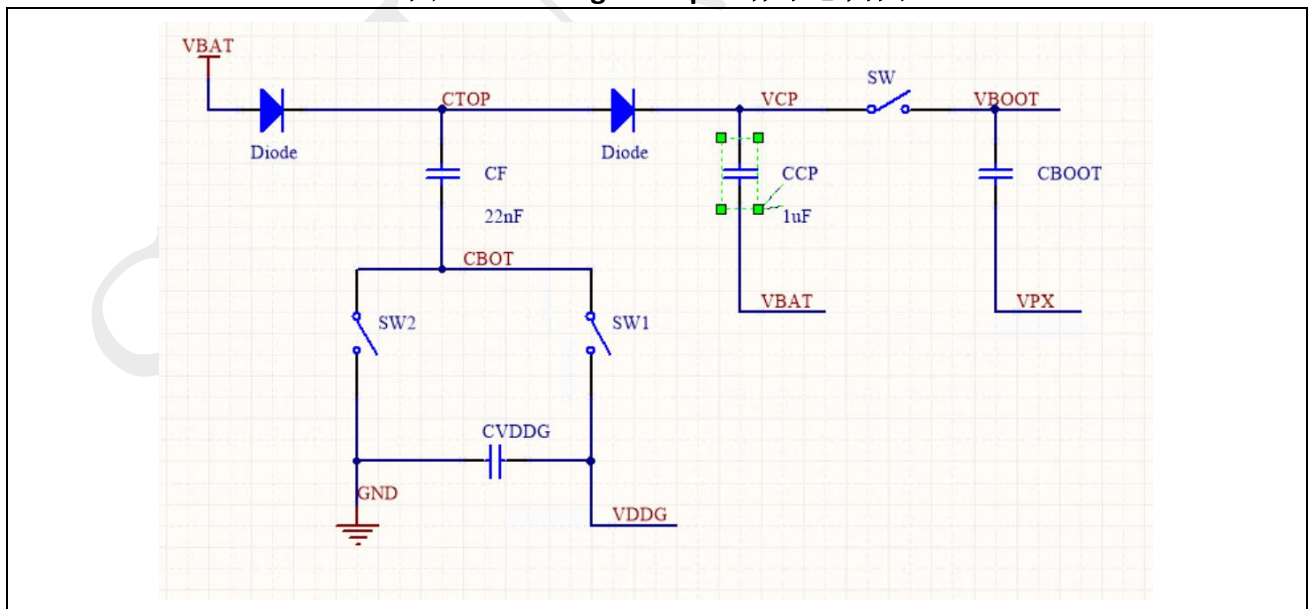
VDD5 是 VBAT 通过 LDO5 产生的，根据设计时候的分析，2.2uF 以上的容值可以保证 VDD5 的稳定。

$$C_{VDD5} \geq 2.2\mu F$$

这里要注意 VDD5 只是供给芯片内部使用，如果接其他外部负载，可能会造成系统不稳定。

1.1.5 VCP 电容 CCP、CF 电容

图 1-4: Charge Pump 工作示意简图



VDDG 电容、CF 电容和 VCP 电容在 Charge Pump 中会被交替使用。

Charge Pump 的工作分为两个阶段，（Charge Pump 工作频率约为 625 kHz）：

1. CF 电容下端 CBOT 连接到 GND，此时 VBAT 如果高于 CTOP，则 VBAT 向 CF 电容充电；

2. CF 电容下端 CBOT 连接到 VDDG，此时 CTOP 电压如果高过 VCP 电压，则 CF 电容向 VCP 电容 CCP 充电。

当上桥持续打开后，VCP 开关会打开，此时如果 VCP 电压高于 Cboot 电压，则 CCP 电容向 Cboot 电容充电。

所以设计的时候，需要注意以下两个方法：

1. CF 电容在极端情况下需要完全供给 3 个上桥 Cboot 电容的电量，所以在既定的 625 kHz 的动作频率下，CF 电容至少要保证 Cboot 电压的稳定。因为 Charge Pump 本身在高速开关，所以对于 Cboot 看到的等效 CF 电容也会被几乎按照开关频率放大，即是 $CF_{\text{effective}} \approx 625k * CF$ ，设计时候保证 $CF_{\text{effective}}$ 大于 100 倍 $3xCboot$ 就可以。因为 $CF_{\text{effective}}$ 相比于 CF 本身有很大的放大系数，所以这里推荐用 22nf 即可满足几乎所有应用需求。

$$CF \geq 22nF$$

2. CF 电容在向 VCP 充电时候，会从 VDDG 中抽取一部分电能，为了避免 VDDG 上的电压出现突变，那么会要求：

$$C_{VDDG} \gg 10 \times CF$$

但一般情况下，上一节中， C_{VDDG} 一般都会选取一个较大的值，这个限制往往不会考虑到。

另外也不希望 CF 电容引起 VCP 电容 CCP 的突变，也希望：

$$CCP \gg 10 \times CF, \text{ 一般情况下, 建议 } CCP = 2.2\mu F$$

1.1.6 DVDD 电容

一般建议 DVDD 的每个引脚上连接 $4.7\mu F + 0.1\mu F$ 去耦电容，或者至少要保证每个引脚连接 $0.1\mu F$ 去耦电容，且 DVDD 上的总电容和需要大于 $2.2\mu F$ 。

注意： DVDD、AVDD 的电容最后都要加入 Buck 的电容中，Buck 电路的设计是按照总电容 $=10\mu F$ 来做的最优设计，所以要注意 Buck 的电容值总和不要大于 $15\mu F$ 。

1.1.7 AVDD 电容

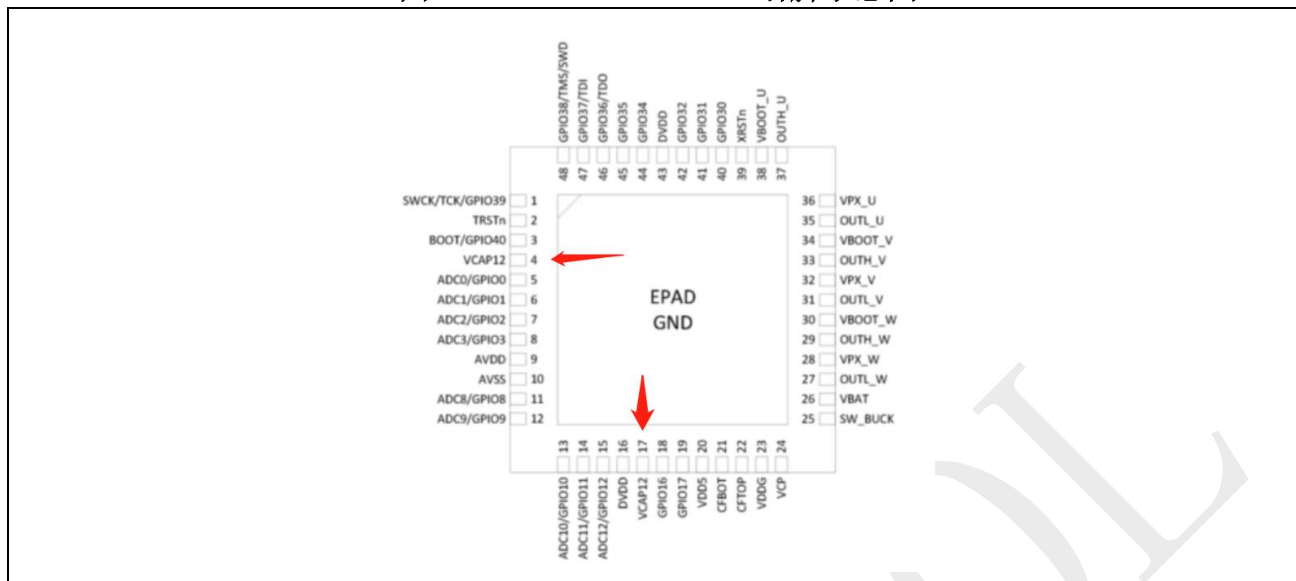
一般建议 AVDD 的引脚上连接 $4.7\mu F + 0.1\mu F$ 去耦电容，或者至少要保证 $2.2\mu F + 0.1\mu F$ 的配置。

1.1.8 VCAP12 电容

SPD1148 包含有两个 VCAP12 引脚，其中：

1. Pin4 的 VCAP12 引脚建议配置一颗 $0.1\mu F$ 的去耦电容；
2. Pin17 的 VCAP12 引脚建议配置 $2.2\mu F + 0.1\mu F$ 的去耦电容，或者至少要保证 $2.2\mu F + 0.1\mu F$ 的配置。

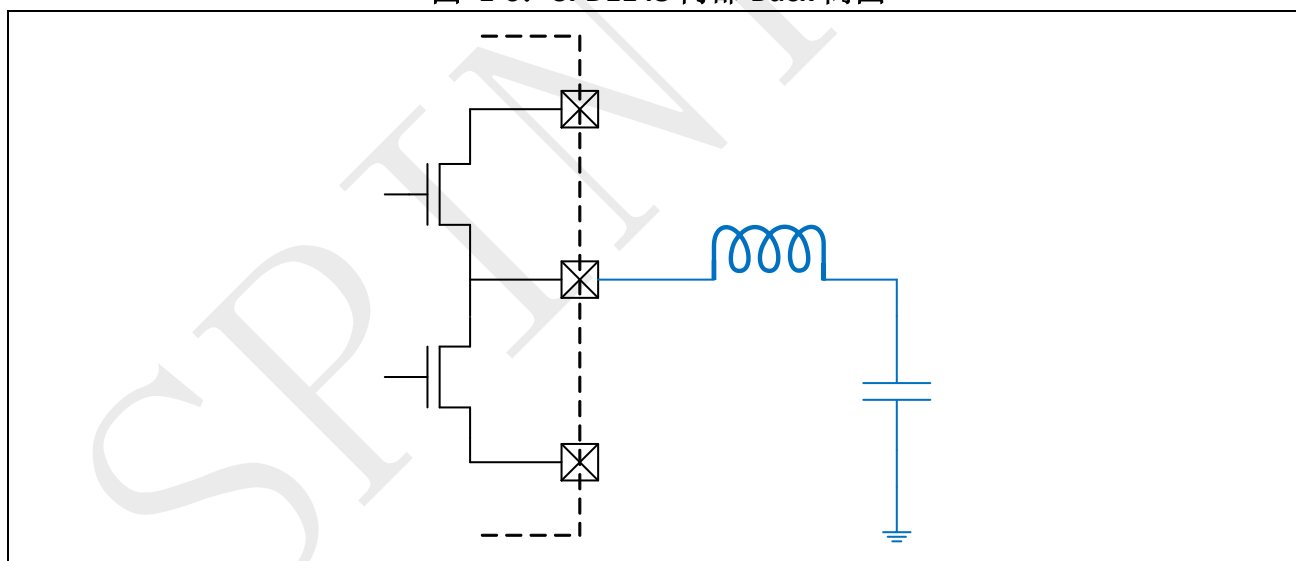
图 1-5: SPD1148 VCAP12 引脚示意图



1.2 Buck 电路元件选取方法

SPD1148 内部有一个高集成度的 3.3V Buck，只需要在芯片外部添加一颗电感和相应电容/负载，即可完成 Buck 的功能。

图 1-6: SPD1148 内部 Buck 简图



这个 Buck 可以工作在 PFM 模式或者 PWM 模式，且用户可以强制锁定在 PWM 模式。当它工作在这两种不同的模式下，其电压纹波可以通过如下公式计算：

$$V_{Ripple_PWM} = \frac{T_{sw}^2 \cdot V_{out} \cdot (V_{in} - V_{out})}{8 \cdot L \cdot C_{out} \cdot V_{in}}$$

PWM 模式纹波：

$$V_{Ripple_PFM} = \frac{T_{sw}^2 \cdot V_{out} \cdot (V_{in} - V_{out})}{2 \cdot L \cdot C_{out} \cdot V_{in}}$$

PFM 模式纹波：

可以看出在 PWM 模式下，其纹波较小。

1.2.1 Buck 电路电容选取

在以上公式中，输出电容：包括 Buck 电路中直接接的电容和芯片 AVDD 和 DVDD 上连接的电容总和。这个电容越大，则纹波越小。

但是出于稳定性的考虑，建议：

$$10\mu\text{f} \leq \text{输出电容 } C_{\text{Out}} \leq 15\mu\text{f}$$

1.2.2 Buck 电感选取

同样在纹波计算公式中，电感越大，则纹波越小，但电感过大，会降低整个 Buck 控制的动态响应性能，电感值

$$L = 10\mu\text{H} \pm 20\%$$

是经过系统设计后的优化值，建议选取这个值。

且注意电感的饱和电流需要大于 500mA，因为在极端工况，比如 Buck 输出短路的情况下，Buck 的限流是 500mA，需要这种情况下，电路也稳定工作。

下面把主要元件的选取规则总结一下，如下表：

表 1-1: 元件选取原则汇总

元件符号	作用	选取基本原则
Cboot	Boot 电容	1. 一般情况： $C_{\text{boot}} > 10 \times C_{\text{iss}}$ 2. 考虑上桥要单独长时间导通情况： $C_{\text{boot}} > (800\mu\text{A} \times \Delta t) / \Delta V$
CVDDG	预驱电容	$CVDDG > 3 \times 10 \times C_{\text{iss}}$ ，推荐 $CVDDG \geq 2.2\mu\text{F}$
CCP	Charge Pump 电容	$CCP \gg 10 \times CF$ ，一般建议 $CCP = 2.2\mu\text{F}$
CF	Charge Pump 电容	$CF = 22\text{nF}$
CVAT	主电源电容	1. VBAT 直接连接 VM： $CV_{\text{BAT}} \geq 2 \times P_{\text{Max}} \times \Delta T / (U_{\text{Norm}}^2 - U_{\text{Shutdown}}^2)$ 2. VBAT 通过稳压二极管连接 VM： $CV_{\text{BAT}} \geq 1.2W \times \Delta T / (U_{\text{Norm}}^2 - U_{\text{Shutdown}}^2)$
CVDD5	5V 电容	$CVDD5 \geq 2.2\mu\text{F}$ ，推荐 $2.2\mu\text{F}$
CAVDD	模拟 3.3V 电容	连接 $4.7\mu\text{f} + 0.1\mu\text{f}$ 去耦电容，或者至少要保证 $2.2\mu\text{F} + 0.1\mu\text{F}$ 的配置
CDVDD	数字 3.3V 电容	每个引脚上连接 $2.2\mu\text{f} + 0.1\mu\text{f}$ 去耦电容；或者至少要保证每个引脚连接 $0.1\mu\text{F}$ 去耦电容，且 DVDD 上的总电容和需要大于 $2.2\mu\text{F}$
CVCAP12	系统 1.2V 电容	1. Pin4 的 VCAP12 引脚建议配置一颗 $0.1\mu\text{f}$ 的去耦电容； 2. Pin17 的 VCAP12 引脚建议配置 $2.2\mu\text{f} + 0.1\mu\text{f}$ 的去耦电容，或者至少要保证 $2.2\mu\text{F} + 0.1\mu\text{F}$ 的配置。
LBUCK	Buck 电路电感	推荐 $L = 10\mu\text{H} \pm 20\%$
CBUCK	Buck 电路电容	$10\mu\text{f} \leq \text{输出电容 } C_{\text{Out}} \leq 15\mu\text{f}$

1.3 第一次发出 PWM 波的注意事项

上桥驱动使用前，需要先开关对应下桥一次：为了让 Boot 电容能够充电，在 SPD1148 中有这种机制，当预驱从禁止变为使能后，是不能直接打开上桥的，需要开关对应相的下桥一次后，才能打开对应上桥。

预驱从禁止变为使能，包含以下情况：

1. 芯片电源复位后，软件控制预驱从禁止变为使能
2. 在没有使能 VDDG Ready Bypass 功能前，当 VDDG 从欠压状态后恢复

其中 VDDG 欠压的触发和恢复值，见下表：

图 1-7: VDDG 欠压的触发和恢复值

Setting	VDDG Value	VDDG_Rdy_release	VDDG_Rdy_trigger
0.00	5.01	1.94	0.47
1.00	6.13	3.05	1.58
2.00	9.01	5.91	4.42
3.00	10.12	7.02	5.53
4.00	12.04	8.92	7.43
5.00	15.08	11.93	10.43
6.00	17.95	14.78	13.26
7.00	20.03	16.84	15.31

3. 当没有使能 VCP Ready Bypass 功能前，当 VCP 从欠压状态后恢复，VCP 欠压的 触发和恢复值在 $[VCP-VBAT] < [VDDG - 4V]$ 附近，其中 VDDG 为 VDDG 的当前电压值。

2 SPD1148 实用电路

2.1 SPD1148 唤醒电路

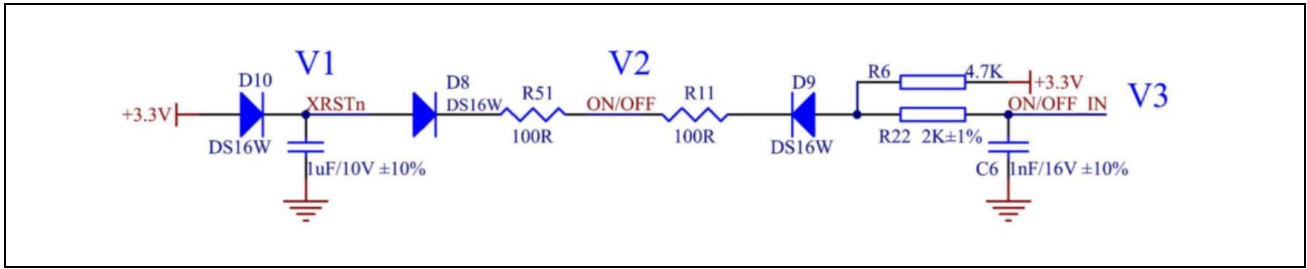
SPD1148 的 XRSTn 引脚在芯片内部通过一个 4.7kΩ 的电阻上拉到 VDD5，当芯片处于休眠状态时，如果 XRSTn 引脚，没有做特别处理，它的电平为 5V，如果在这个引脚上施加一个有效的低电平，芯片会从休眠状态跳到 Reset 状态。

图 2-1: SPD1148 XRSTn 内部连接示意



应用这一特性，设计了如下唤醒电路：其中 ON/OFF 接入唤醒信号，这个信号可以是 PWM 输入，或者 LIN/RS485 的 RX 输入，ON/OFF IN 是 SPD1148 的某个引脚，把 ON/OFF 信号引入 MCU 实现通信或控制。

图 2-2: SPD1148 唤醒电路示例



初始状态：系统正常工作，此时 3.3V 存在，X_RSTn 被 D10 上拉到 3.3V，此时 ON/OFF 即使是 0V，因为电阻 R51=100ohm 的存在，X_RSTn 的电平也不会受影响，系统可以保持正常工作；

休眠状态：系统收到休眠指令，ON/OFF 此时不能为低，系统进入休眠，3.3V 消失，X_RSTn 在芯片内部被 VDD5 上拉至 5V；只要 ON/OFF 没有有效低电平，则系统保持在休眠模式，休眠电流最低可以到 6uA（12V 供电）；

Reset 状态：系统之前在休眠状态，3.3V 不存在，ON/OFF 引脚接收到低电平，因为 R51 相比 VDD5 对 X_RSTn 的上拉电阻 4.7kohm 小很多，此时 $V_{X_RSTn} \approx 5 \times 0.1 / (4.7 + 0.1) = 0.1V$ ，可以产生一个有效的复位电平（SPD1148 的最高复位电平见下表）。系统进入复位状态，3.3V 产生，X_RSTn 被拉高至 3.3V，系统进入正常工作状态。

图 2-3: SPD1148 低电平参数

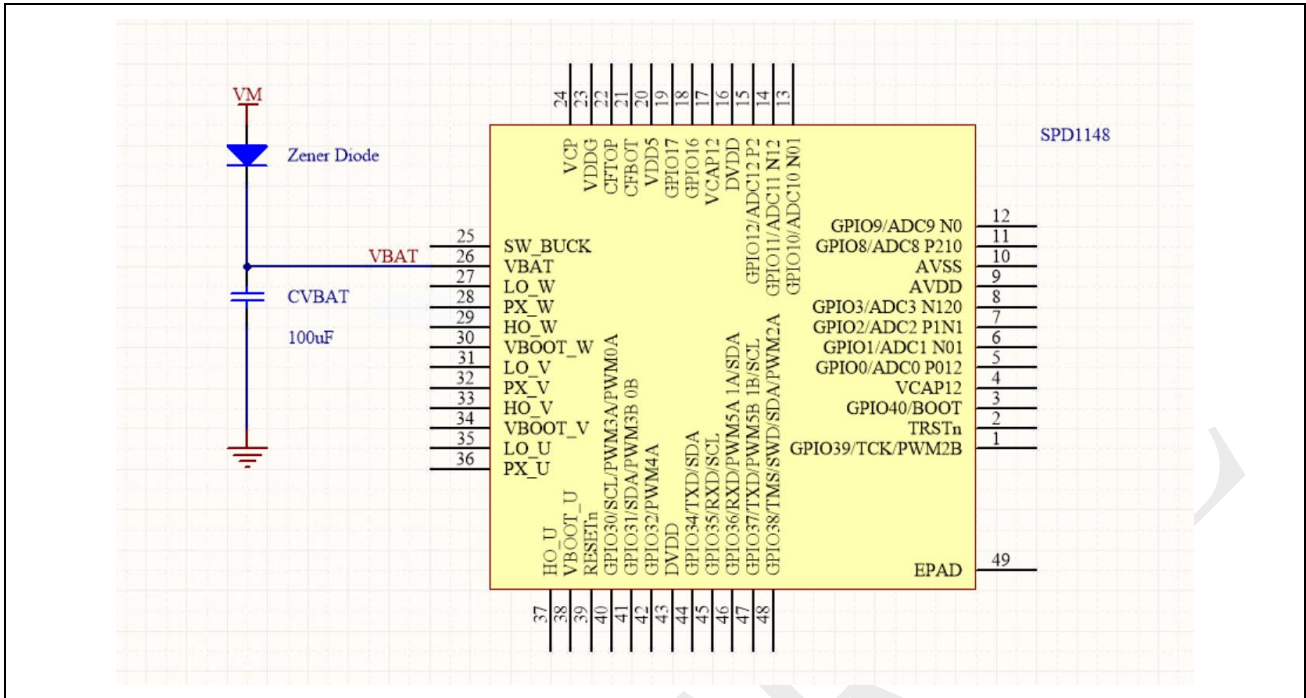
符号	参数	条件	最小	正常	最大	单位
V _{BAT}	预驱供电电压	-	5	24	42	V
V _{DDG}	预驱门极电压	-	5	10	18	V
V _{BOOT}	预驱自举点电压	-	4.8	-	56	V
V _{DD}	供电电压	-	2.97	3.3	3.63	V
V _{SS}	电源地	-	-	0	-	V
V _{DDA}	模拟供电电压	-	2.97	3.3	3.63	V
V _{SSA}	模拟地	-	-	0	-	V
V _{IH}	高电平输入电压	V _{DD} = 3.3 V	2.0	-	V _{DD} +0.3	V
V _{IL}	低电平输入电压	V _{DD} = 3.3 V STRENGTH=0	V _{SS} -0.3	-	0.8	V

2.2 SPD1148 低压工作电路

SPD1148 本身在禁用 VDDG ready 检测后（见《SPD1148 技术参考手册》--预驱低电压的操作），其最低工作电压可以降到 5V。但在 12V 电动工具、12V 车载设备或者其他 12V 或者更低电压工作的应用中，母线电压可能因为负载的瞬时大电流而降低到 5V 甚至更低。如果此时 SPD1148 的供电电压也掉到这个值，则有可能造成系统复位或预驱工作不正常。

为了应对这种情况，可以在 SPD1148 的 VBAT 和 H 桥的电源之间增加一个稳压二极管（稳定电压 U_z，建议取值 3~5V），建议采取以下的电路：

图 2-4: SPD1148 低压工作电路 I



如上电路可以保证，在主电源电压 V_M 即使掉到很低的情况下，SPD1148 的 VBAT 上的电压也会接近于 $V_{BAT} = V_M + U_z$ ，如果可以一直保证 VBAT 大于 5V，则不会触发复位或者预驱工作不正常的情况。

这里还要注意的一点时，稳压二极管的 U_z 也不宜取得太高，因为预驱的高边驱动电压 $V_{HO} = V_{BAT} + V_{DDG}$ ，而当上桥导通时候，加在 Mosfet GS 两端的电压 $V_{GS} = V_{HO} - V_M = (V_{BAT} - V_M) + V_{DDG} = (V_M + U_z - V_M) + V_{DDG} = U_z + V_{DDG}$ 。

一般来说 Mos 的 V_{GS} 都有最大限制，如果超过这个限制，则可能导致 Mos 损坏。下图是 IRFR7440 对这个电压的限制。

图 2-5: 目标 Mosfet IRFR7440 对 VGS 的限制参数

Absolute Maximum Ratings			
Symbol	Parameter	Max.	Units
$I_D @ T_C = 25^\circ\text{C}$	Continuous Drain Current, $V_{GS} @ 10\text{V}$ (Silicon Limited)	180①	A
$I_D @ T_C = 100^\circ\text{C}$	Continuous Drain Current, $V_{GS} @ 10\text{V}$ (Silicon Limited)	125①	
$I_D @ T_C = 25^\circ\text{C}$	Continuous Drain Current, $V_{GS} @ 10\text{V}$ (Wire Bond Limited)	90	
I_{DM}	Pulsed Drain Current ②	760	
$P_D @ T_C = 25^\circ\text{C}$	Maximum Power Dissipation	140	W
	Linear Derating Factor	0.95	W/°C
V_{GS}	Gate-to-Source Voltage	± 20	V

且 SPD1148 本身也有如下限制 $V_{BS} = (V_{BAT} - V_M) + V_{DDG} < 20\text{V}$ ，如下图：

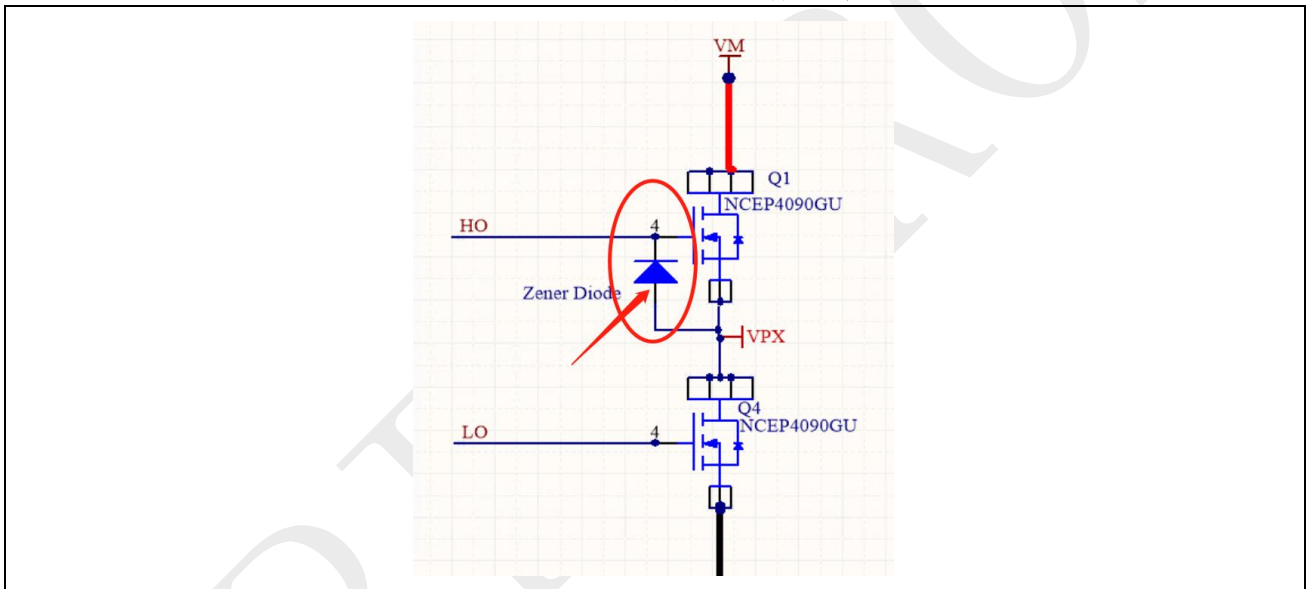
图 2-6: SPD1148 对 VBS 的限制参数

符号	参数	最小	最大	单位
V _{BAT}	预驱和 Buck 供电电压, 相对于 V _{SS}	5	44	V
V _{DDG}	预驱门极电压, 相对于 V _{SS}	5	18	V
V _{BOOT}	预驱自举点电压, 相对于 V _{SS}	-	56	V
V _{BS}	预驱上管电源轨 (V _{BOOT} - V _{PX})	-0.3	20	V
V _{CP}	预驱电荷泵输出电压	V _{BAT} -0.6	V _{BAT} +20	V
V _{DD}	供电电压, 相对于 V _{SS}	-0.3	4.6	V

防止 Vgs 过高 Workaround I: 增加稳压二极管

针对上述电路可能造成 Vgs 过压的情况, 也可以在上桥驱动的 HO->VPX (Mosfet GS 两端) 增加稳压二极管来应对, 稳压二极管的 Uz 值应该选取到可以正常保护 Mosfet 和 SPD1148, 稳压管位置参见下图:

图 2-7: SPD1148 低压工作电路 II



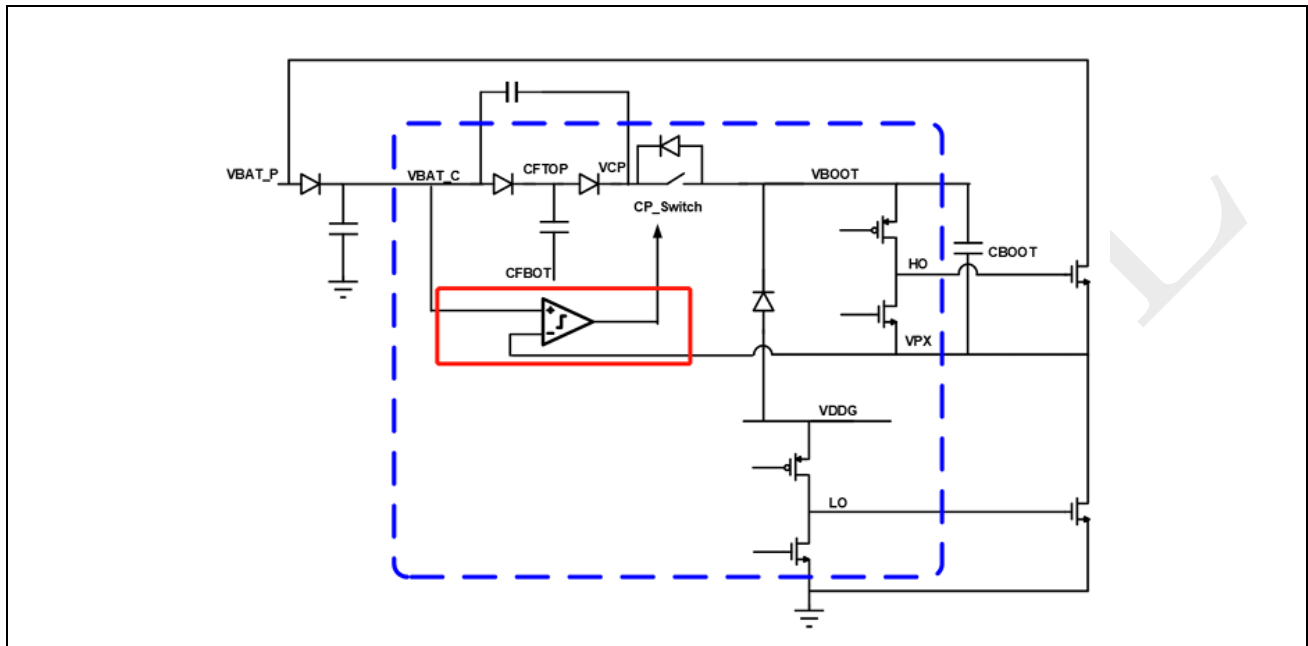
优点: 这种保护方式纯硬件实现, 较为可靠;

缺点: 三相需要增加共三个二极管, 成本稍高

防止 Vgs 过高 Workaround II: 使用 VDS monitor 保护, 提前关闭电荷泵输出

在 SPD1148 有逻辑电路, 可以在触发 VDS monitor** (VDS monitor 是通过在上管开通时候, 监控 DS 两端电压来判断是否出现短路或直通现象的一种保护机制。) 的条件下关闭 CP_Switch, 此逻辑为 power 芯片内部组合逻辑, 所以不影响其他功能。

图 2-8: 电荷泵保护电路



启用这一功能, 需要将 PDRVCTL.CPPROTEN 这个 bit 置高即可。这一位寄存器 CPPROTEN, 1: 出现 VDS Monitor 告警时, 关闭电荷泵, 0: 无动作。

图 2-9: CPPROTEN 寄存器

位段	位段名	属性	复位值	描述
7	CPCONEN	RW	0x1	预驱电荷泵 (charge-pump) 接入使能 本位段只有当 CTLKEY=0xAC 时才是可写的。 0: 关闭, 当 CTLKEY≠0xAC 时, 总是读回 0 1: 使能
6	FRCCFM	RW	0x0	预驱强制确认 本位段只有当 CTLKEY=0xAC 时才是可写的。 0: 正常握手, 当 CTLKEY≠0xAC 时, 总是读回 0 1: 强制确认, 关闭内置的握手
5	RESERVED_5	RO	0x0	保留
4	NOVWIN	RW	0x1	预驱不重叠时间窗口大小 0: 48ns 1: 96ns
3	CPPROTEN	RW	0x0	预驱电荷泵保护使能 0: 关闭 1: 使能, 以便在故障发生时可以断开电荷泵

使用这种方式的时候, 需要设置:

1. 设置较小的 $t_{blank} + t_{filter}$;

2. 软件中保证上桥关闭时间不会小于上述时间。

优点:

当 VM 比 VBAT 较低时候, 可以让电荷泵不要接入, 从而 Vboot 电压和 vpx 之间的压差不会超过 Vddg 电压。在这种情况下, 实际就可以省略之前提到的在 HO 和 VPX 之间增加的齐纳二极管。

缺点:

1. 因为 Vds monitor 的电压触发阈值最大 2.4V (一般建议此时设定为 2.4V 阈值), 则当 VM 比 VBAT 低过大约 2.4V 之后, 电荷泵就无法介入, 如果 Cboot 电容上掉电较快, 则可能出现上桥无法正常开通。
2. 如果在出现压差较大的情况下, 让电荷泵尽快关闭, 则 Vds Monitor 的 Blanking time 和 Filter time 要选的比较小, 此时可能存在当 VBAT - VM 接近 2.4V 阈值时候就可能会出现误触发 Vds monitor 保护, 从而提前关闭电荷泵的情况。

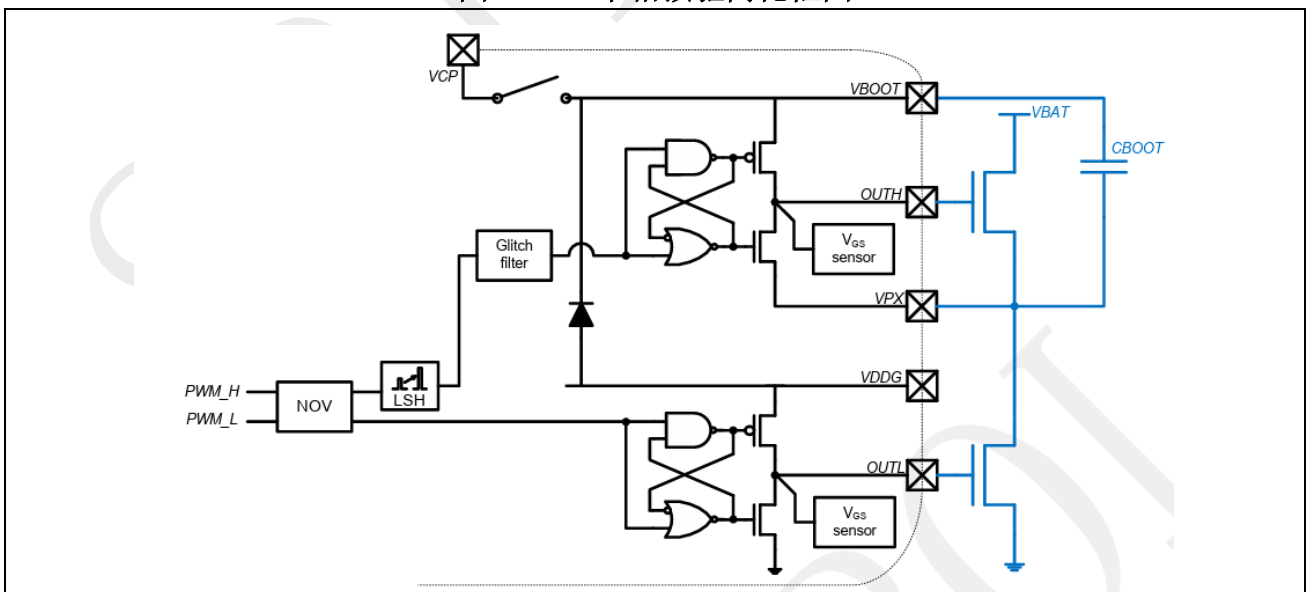
2.3 SPD1148 的电荷泵状态检查

SPD1148 电荷泵边界工作状态

电荷泵的工作原理如下:

一个开关将电荷泵的输出 VCP 连接到 VBOOT。每相都有自己的电荷泵连接开关。典型的开关频率为 625kHz。在上管侧接通后, 开关在固定的时间延迟后打开。延迟时间应该足够大, 以确保开关噪声消失, 延迟时间由寄存器 PDRVOCCTL.DGWIN 和 PDRVOCCTL.BLANKWIN 控制。实际的延迟时间是消隐时间与滤波时间之和 ($t_{blank} + t_{filter}$)。

图 2-10: 单相预驱简化框图



但在上桥关闭后, 这个延迟逻辑同样会被触发, 如果条件: 上桥关闭 HO_OFF 的时间小于 $t_{blank} + t_{filter}$, 则会造成这一相上桥在打开的瞬间, 这相的电荷泵就会被接入电路。

在这接入的瞬间，如果 V_{px} 还较低，则 $V_{boot}=V_{px}+V_{DDG}$ 也较低，VCP 的电压会被 V_{boot} 拉低，具体数值取决于：

1. VCP、Cboot 电容大小；
2. V_{boot} 和 VCP 压差。

SPD1148 电荷泵状态确认工作机制

默认情况下，当 $[V_{CP}-V_{BAT}] < [V_{DDG} - 4V(+25\%)]$ 时，此处的 V_{DDG} 指 V_{DDG} 当前的电压值，电荷泵处于未就绪，未就绪时，预驱三相的输出会被关闭，当电荷泵电压升高，电荷泵就绪后，预驱的输出恢复。但是对于上桥输出，除了电荷泵就绪后，还需要各自下桥开关一次，其输出才能恢复。

比如当 V_{DDG} 为 10V 时，如果 VCP 电压被拉到较低，且满足 $V_{CP} - V_{BAT} < 6V$ 后，电荷泵会被拉回未就绪状态，从而造成上桥驱动信号无法正常发出。

SPD1148 电荷泵状态确认 Workaround I

若上桥关闭时间一直大于 $t_{blank} + t_{filter}$ ，则电荷泵会一直保持正确的时间点接入 V_{boot} ，则不会使得电荷泵进入未就绪状态。所以可以如下操作：

1. 设置较小的 $t_{blank} + t_{filter}$ （推荐 $t_{blank} \leq 0.8\mu s, t_{filter} \leq 0.8\mu s$ ，但具体还要看 Mos 开通和关断的延迟时间，这两个时间相加后需要大于 Mos 开通关断延时）；
2. 软件中保证上桥关闭时间不会小于上述时间。

SPD1148 电荷泵状态确认 Workaround II

禁用电荷泵状态确认：

在实际应用中，之前保证上桥开通时间不小于某一时常可能无法保证，则建议关闭电荷泵状态确认来解决这一问题。

可以在预驱的配置中加入这几句配置，禁用电荷泵的保护。

```
HV_WriteReg(HV_REG_CTLKEY, 0xAC); // 打开工程寄存器写入权限
```

```
HV_ReadReg(HV_REG_CHPENGR, &u8PREDRIDATA); // 获取当前工程寄存器的值
```

```
HV_WriteReg(HV_REG_CHPENGR, (u8PREDRIDATA & (~0x02)) | (0x02)); // 禁用电荷泵状态检
```

查

Reg Name	Reg Type	Bit Index	Field Name	Access	Default	Hide	Description	Option	Label	Comment
CHPENGR	reg	0x1C	All		0x04	Yes	Charge-Pump Engineering Register			
		7:4	Reserved	RO	0x0	Yes		00	DIVIDE_BY_8	Divide by 8
		3:2	CLKDIV	RW	0x1	Yes	Charge-pump clock dividing ratio	01	DIVIDE_BY_16	Divide by 16
								10	DIVIDE_BY_32	Divide by 32
								11	DIVIDE_BY_64	Divide by 64
		1	FRCDY	RW	0x0	Yes	Charge-pump force ready	0	NO_EFFECT	Do not force so as to controlled by circuits
								1	FORCE	Force to be ready
		0	FRCEM	RW	0x0	Yes	Charge-pump force enable	0	NO_EFFECT	Do not force so as to controlled by circuits
								1	FORCE	Force to enable

禁用电荷泵状态确认的影响：

电荷泵在上桥关断时间过短 $(t_{blank} + t_{filter})$ 之和的时候，可能会错误接入，此时 VCP 的电压会被拉低，具体拉低的数值取决于 VCP 电容和 Cboot 电容大小的和 VCP 以及 Cboot 电容上电压的关系：VCP 电容相比 Cboot 电容越小，VCP 电压被拉低就越多；VCP 和 Cboot 电容压差越大，VCP 电压被拉低也越多；同时还由 VCP 和 Cboot 连接的 CP_CONN 开关的限流（约 $300mA^*$ ）来限制。

如果禁用了电荷状态确认，可能造成的情况就是存在 VCP 电压较低但预驱动仍旧工作的情况，VCP 继续充电需要花费一段时间（VCP 电容 $0.47\mu\text{f}$ 时大约需要小于 0.5ms ），此时上桥的工作需要由 Cboot 上的电量来保证。

考虑第一种情况：U 相上桥打开，电荷泵正常接入且工作；此时 V 相上桥准备打开，电荷泵错误的提前接入，则电荷泵电荷丢失，需要重新慢慢补电，在补电过程（VCP 电容 $0.47\mu\text{f}$ 时大约需要小于 0.5ms ）中，无法正常给 U 相和 V 相上桥充电。但此时如果 Cboot 电容上电荷足够，能够撑住这一个过程，则不会造成影响。另外考虑三个上桥总是只有一个导通的情况，则不会对电路的功能有影响。

考虑第二种情况：U 相准备动作，在此之前，电荷泵错误提前接入，则电荷泵电荷丢失，需要重新慢慢补电，在补电过程中，无法正常给 U 相。但此时如果 Cboot 电容上电荷足够，能够撑住这一个过程，则不会造成影响。

2.4 SPD1148 防反接电路

防反接电路一般有如下方式实现：

1. 使用二极管电路实现，劣势是二极管压降较大，导通损耗比较大；
2. 使用正端的 PMOS 电路实现，劣势是 PMOS 比较难找；
3. 使用负端的 NMOS 电路实现，劣势是对于一些敏感的采样电路，会因为 GND 的偏差，造成采样异常。

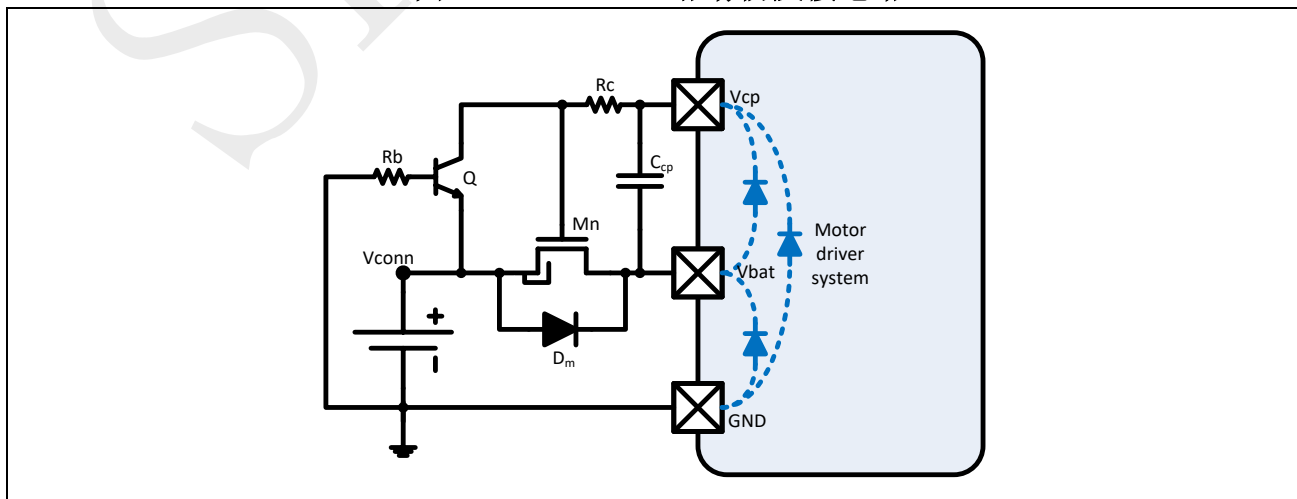
所以以下推荐一种使用 NMOS 的正端防反接电路，其中用到了 SPD1148 的 VCP 信号。

当电源正常接线时候，NPN 三极管 Q 反向截至，NMOS 自带的二极管 D_m 保证电路的初始导通。当 Pre-Driver 使能之后， $VCP=V_{BAT}+V_{DDG}$ ，此时 NMOS M_n 反向导通，电路正常工作。

当电源反接时， D_m 不导通，NPN 三极管 Q 正向导通。此时因为 Q 导通，会把 M_n 的 V_{gs} 放电到 0，所以 M_n 可以持续保持关断。所以反接电路保护功能实现。

这里要注意的是 R_c 选取，要保证电流 $=V_{bat}/R_c$ 在三极管 Q 的正常工作范围内，否则可能导致 Q 烧毁。另外要注意三极管 Q 的 V_{be} 可能超过其最大允许电压，如果有这种情况，建议在 V_{be} 之间增加钳位二极管进行保护。

图 2-11: SPD1148 推荐防反接电路

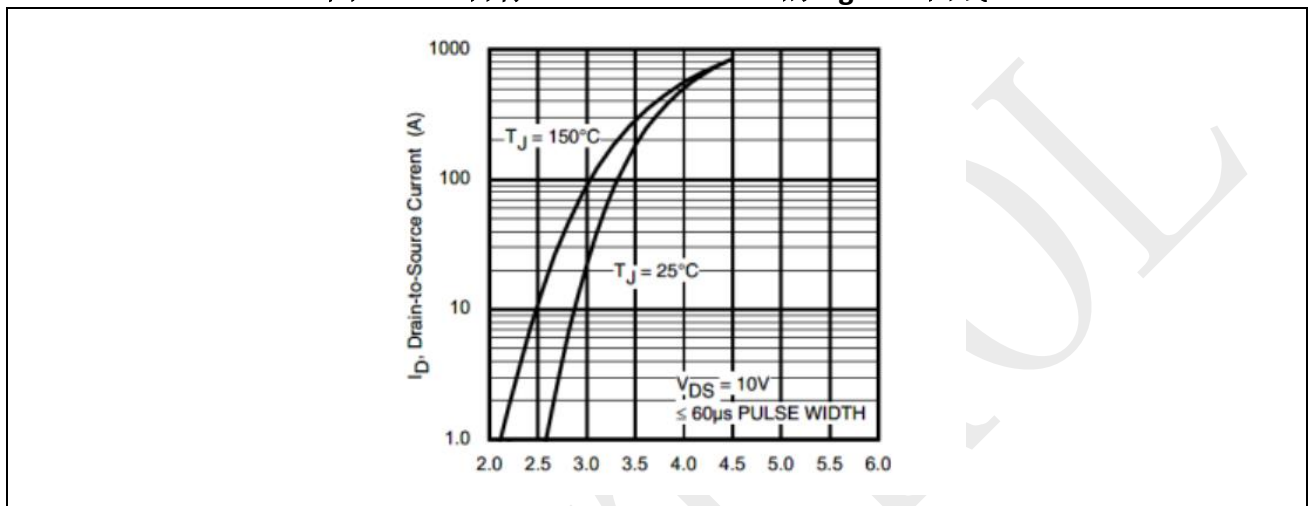


2.5 SPD1148 低压运行预防电路

当前版本的 SPD1148 存在当 Cboot 电压过低 ($0\sim 3V^*$) 时, 且 Mosfet 本身的开通电压 $V_{GS(th)}$ 又比较低 (接近或者小于 $2V$), 上桥 Mosfet 可能因为 HO->VPX 之间残留的电荷而处于半导通的情况。

下图是一个可能出现误导通的 Mosfet 的特性, 可以看出它的开通电压已经很低, 接近 $2V$ 。

图 2-12: 目标 Mosfet IRFR7440 的 $V_{GS} - I_D$ 曲线

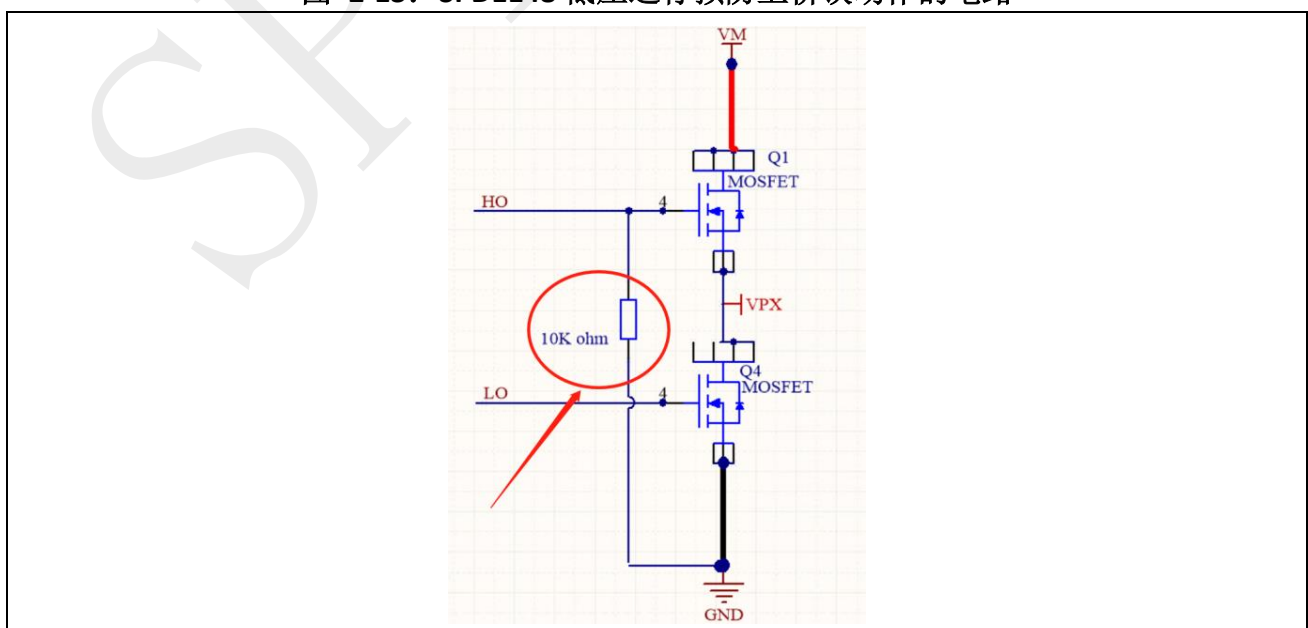


针对这种情况, 可以采取以下两种方式来解决:

2.5.1 SPD1148 低压运行预防电路 (1)

推荐在 HO->GND 之间增加一颗约 $10k\sim 30k\text{ ohm}^*$ 的电阻, 用于泄放这部分电荷。

图 2-13: SPD1148 低压运行预防上桥误动作的电路

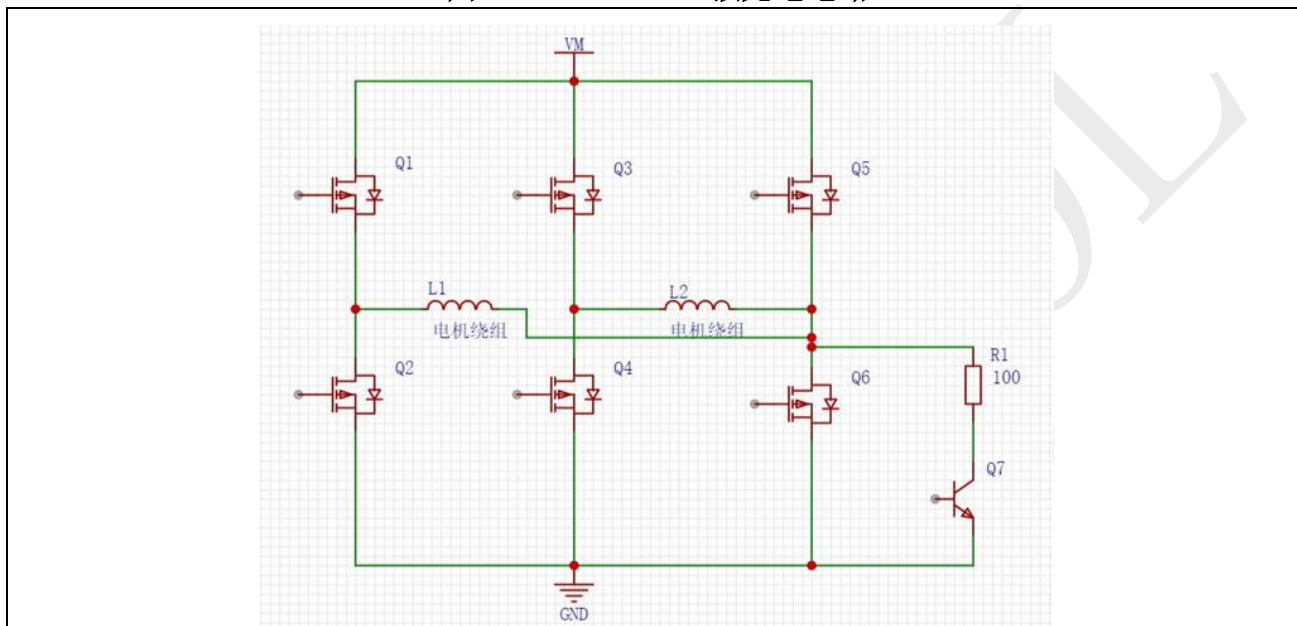


2.5.2 SPD1148 低压运行预防电路（2）

为了解决上述的问题，也可以通过一个预充电电路来更加可靠的解决。

在下桥第一次开通前，就通过一个预充电电路对上桥 Cboot 电容进行充电。如下图的 Q7 和 R1 电路所示。当 Q1~Q7 都关闭时，可以打开 Q7，可以给 Q5 的 Cboot 充电，且一般电机绕组电阻较小，也可以通过电机的绕组给 Q1 和 Q3 的 Cboot 完成充电。由此，当下桥 Mosfet 第一次打开之前，Cboot 电容上电量都充满，可以保证电路自始至终都是处在正常工作状态。

图 2-14: SPD1148 预充电电路



2.5.3 SPD1148 低压运行软件策略及问题应对

5.5V 以上工作软件配置

默认的预驱操作在 VBAT 电压降至 8V 左右时都是可以保证的。如果需要预驱在低于 8V 的条件下工作，用户需要将寄存器位 SYSCTL.VDDGRDYBYP 置“1”。建议采用下面的流程：

- 使能预驱
- 将寄存器位 SYSCTL.VDDGRDYBYP 置“1”
- 等待 200us
- 开始预驱翻转

5V 以上工作软件配置及注意事项

采用这种方式，预驱可以在 VBAT=5.5V 条件下仍然保持运行。在关闭预驱之前，建议将 SYSCTL.VDDGRDYBYP 设为“0”，以避免当 VDDG 低于指定的工作电压范围时预驱产生错误的翻转。

为了将预驱运行电压进一步降至 VBAT=5V，除了需要将寄存器位 SYSCTL.VDDGRDYBYP 置“1”外，还需要将寄存器位 PDRVCTL.FRCCFM 置“1”。需要注意的是，在执行此操作后，用户必

须确保输入高压模块的 PWM 信号具有足够的非重叠，因为此时芯片预驱侧自带的描述的非重叠插入会被自动禁用。

同时，当上桥驱动电压（Vboot-VPX）在（2~4V）区间时候，上桥驱动处于不可控状态，所以建议在此之前，需要有效的把上桥关闭。

3 SPD1148 常用工程寄存器

SPD1148 中还包含一些工程配置寄存器，在一般应用情况下，为了防止不必要的修改，一般不做开放，但有些寄存器在特殊应用场景下还需要用到。如下：

1. 因为 2.3.4 中需要关闭 VCP ready 的信号，所以特别列出这个相关的寄存器如下：

表 3-1: 相关工程寄存器

Reg Name	Bit Index	Field Name	Access	Default	Description	Option	Label	Comment
CHPE NGR	0x1C	ALL		0x04	Charge-Pump Engineering Register			
	7:4	Reserved	RO	0x0				
	3:2	CLKDIV	RW	0x1	Chage-pump clock dividing ratio	00	DIVIDE_BY_8	Divide by 8
						01	DIVIDE_BY_16	Divide by 16
						10	DIVIDE_BY_32	Divide by 32
						11	DIVIDE_BY_64	Divide by 64
	1	FRCRDY	RW	0x0	Charge-pump force ready	0	NO_EFFECT	Do not force so as to controlled by circuits
						1	FORCE	Force to be ready
	0	FRCEN	RW	0x0	Charge-pump force enable	0	NO_EFFECT	Do not force so as to controlled by circuits
						1	FORCE	Force to enable