

概述

适用范围	
SPC1125 系列	SPC1125, SPC1128, SPD1121
SPC1168 系列	SPC1155, SPC1156, SPC1158, SPC1168, SPD1148, SPD1178, SPD1188, SPD1163, SPM1173
SPC2168 系列	SPC2168, SPC2165, SPC2166, SPC1198
SPC1169 系列	SPC1169, SPD1179, SPD1176, SPD1177, SPD1179B
SPC2188 系列	SPC1185, SPC2188
SPC1198B 系列	SPC1198B

目录

1	电路概述.....	7
1.1	开漏	7
1.2	RC 由来	9
2	上拉电阻的计算.....	10
2.1	计算上拉电阻最小值.....	11
2.2	计算上拉电阻最大值.....	12
3	HOLD 时序.....	14
4	时钟拉伸.....	15

图片列表

图 1-1: 推挽电路	7
图 1-2 推挽电路相互连接	7
图 1-3: 开漏电路	8
图 1-4: 开漏电路相互连接	8
图 1-5: I2C 开漏电路中 RC 来源	9
图 2-1: I2C 连接示意图	10
图 2-2: I2C 时序要求	12
图 3-1: Hold 时序	14
图 4-1: 时钟拉伸定义	15
图 4-2: 从机接收的时钟拉伸示例	15
图 4-3: 从机发送的时钟拉伸示例	16
图 4-4: 时钟拉伸后的 SDA 数据建立时间	16

表格列表

表 2-1: 推荐工作条件 11

表 2-2: 最大上升时间 (T_{max}) 12

表 3-1: $t_{hold}(SDA)$ 14

表 4-1: $t_{setup}(SDA)$ 16

SPIN TROL

版本历史

版本	日期	作者	状态	变更
A/0	2023-09-01	X.He	已过期	1. 首次发布。
C/0	2024-08-11	LemengZhou	已过期	1. 修改为全系列通用文档。
C/1	2025-3-31	HangSu	已发布	1. 增加上拉电阻计算，Hold 以及时钟拉伸描述。 2. 适用范围增加。 3. 添加 SPC1198B 系列。

术语或缩写

术语或缩写	描述
MCU	Micro Control Unit
I2C	Inter-Integrated Circuit

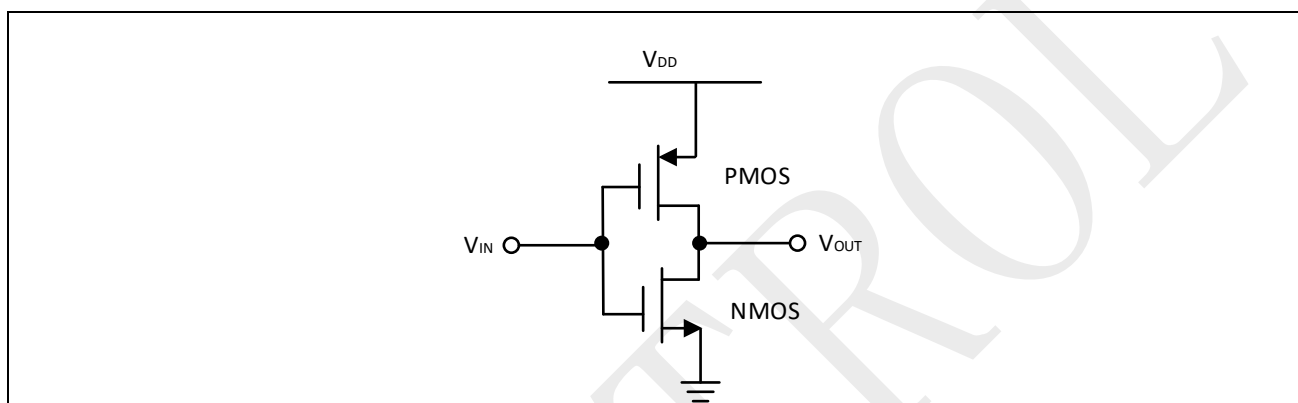
1 电路概述

1.1 开漏

I2C 的一个显著特征是，总线上每个设备都必须通过开漏（或开集电极）输出驱动器连接到时钟信号（简称 SCL）和数据信号（简称 SDA）。

首先可以分析典型的 CMOS 推挽电路，如图 1-1 所示：

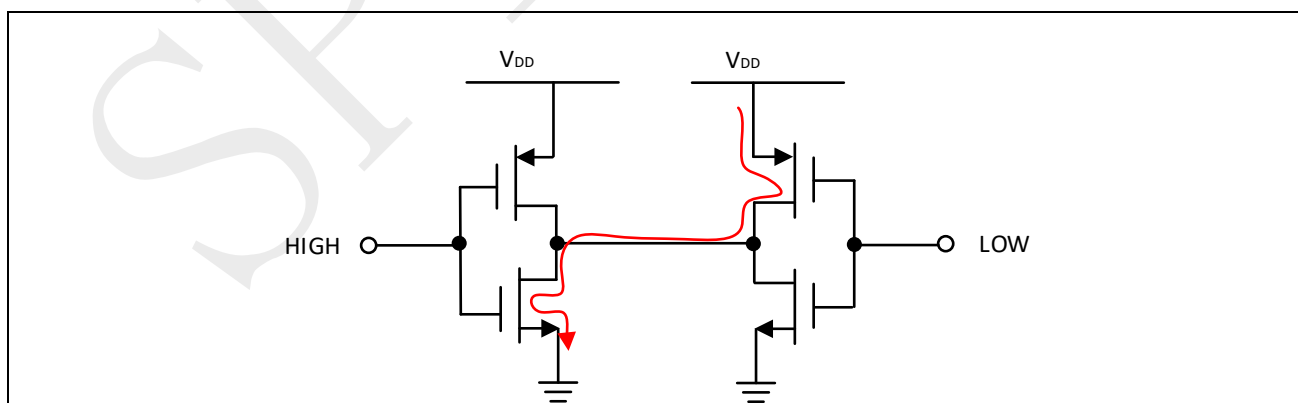
图 1-1：推挽电路



当输入为高电平时，NMOS 晶体管导通，PMOS 晶体管关断，输出因此通过低阻抗路径连接到地。当输入为低电平时，情况相反，输出通过低阻抗路径连接到 V_{DD} 。

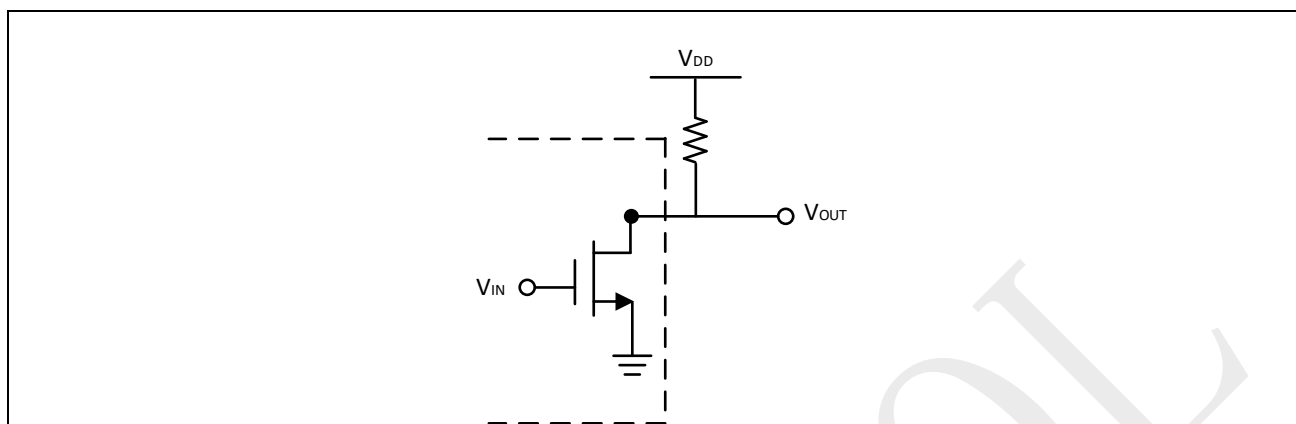
通常情况下，你不能直接将两个推挽输出级相连，如图 1-2 所示，因为如果一个输出为高电平而另一个输出为低电平，电流会在毫无阻碍的情况下在 V_{DD} 和地之间自由流动，也就是短路。

图 1-2 推挽电路相互连接



有了以上了解，现在再来看看如图 1-3 所示的开漏电路：

图 1-3：开漏电路

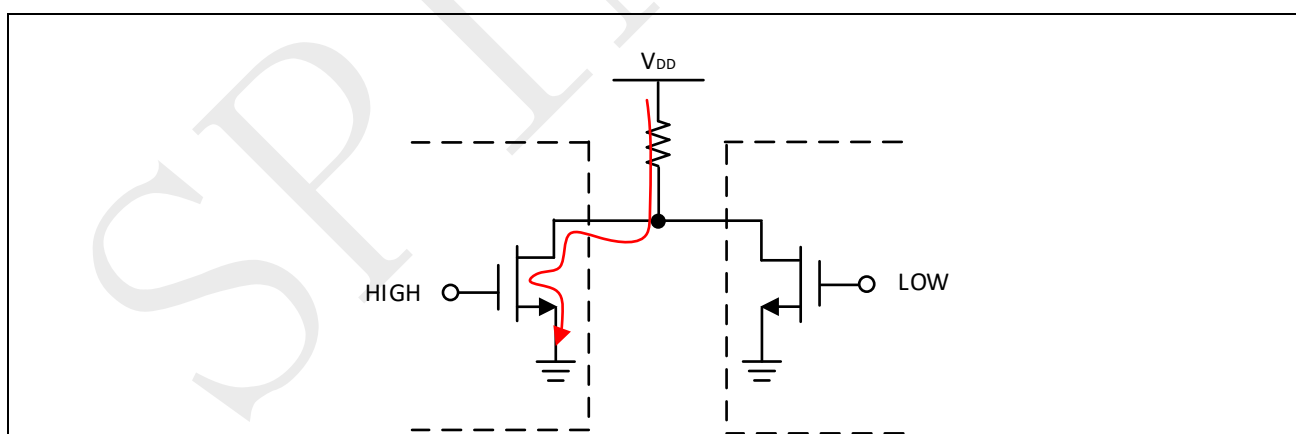


从图中可以看出，此时 PMOS 晶体管被替换为芯片外部的一个电阻。当输入为高电平时，NMOS 晶体管提供了一条低阻抗路径连接到地。而当输入为低电平时，NMOS 晶体管表现为开路状态，这意味着输出通过外部电阻被拉升至 V_{DD} 。

与推挽相比，这种配置带来了一个重要的差异：

当有节点将输出拉低时，会产生非零功耗，因为此时电流会通过上拉电阻、NMOS 晶体管的通道流向地。在推挽配置中，关断状态的 PMOS 晶体管具有高阻抗，能够阻止这种从 V_{DD} 经上拉电阻、NMOS 晶体管通道流向地的电流。但只要合理选择上拉电阻的最小值，就不会烧坏芯片。

图 1-4：开漏电路相互连接



综上，可以总结开漏总线配置的三个重要意义：

1. 信号默认为高电平

例如，如果一个 I2C 主设备尝试与一个已经失效的从设备通信，数据信号不会进入未定义状态。如果从设备未驱动信号，数据信号将被读取为高电平。同样，如果主设备在传输过程中断电，SCL 和 SDA 会返回到高电平状态。其他设备可以通过观察 SCL 和 SDA 都保持高电平一段时间来判断总线是否可用以进行新一轮传输。

2. 任何设备都可以安全地将信号拉低

即使另一个设备尝试将信号拉高，这种配置依然安全。这是 I2C 的“时钟同步”或“时钟延展”功能的基础：主设备生成串行时钟，但如果需要，从设备可以将 SCL 拉低，从而降低时钟频率。

3. 支持不同供电电压的设备共存

只要低电压设备不会因更高的电压损坏，具有不同供电电压的设备可以共存。例如，如果将 SCL 和 SDA 拉升到 5V，一个 3.3V 的设备可以与一个 5V 的设备通信。这是因为即使 3.3V 的设备无法通过典型的推挽输出驱动 5V，但开漏配置使得逻辑高电平电压可以达到 5V。

1.2 RC 由来

开漏输出驱动器存在着一些显著的缺点。其中有一个就是：电压的变化受到为特定节点的电容充电或放电所需时间的限制。具体来说就是 SCL 和 SDA 上的上拉电阻会使得充电阶段以及放点阶段的 RC 时间常数不对等。

图 1-5：I2C 开漏电路中 RC 来源

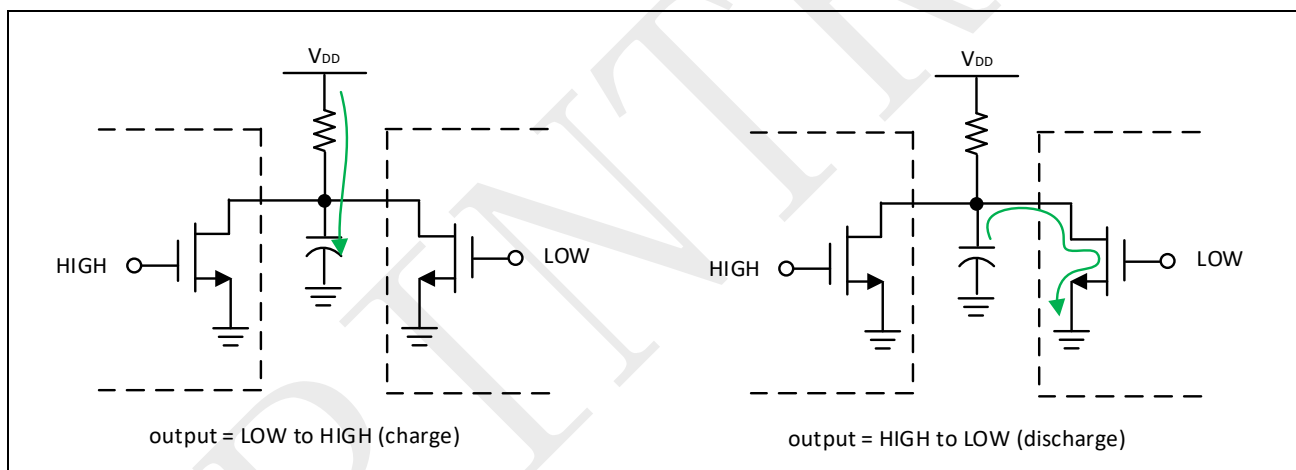
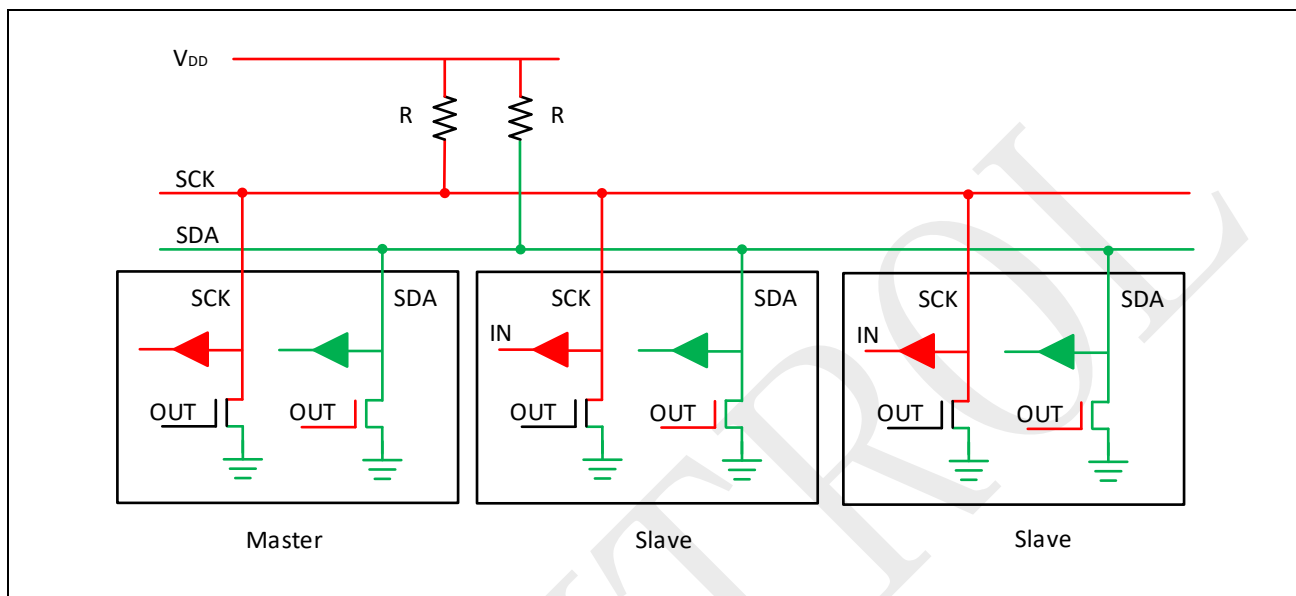


图 1-5 中的电容表示为芯片 IO 端口上的电容以及链接导线上的电容的总和。如图所示充电过程中存在上拉电阻，而放电过程的电阻很显然比上拉电阻要小得多，这将导致低电平到高电平的转换将明显比高电平到低电平的转换慢。

2 上拉电阻的计算

在非超快速模式下，I2C 接口应采用开漏输出方式。开漏输出方式需要连接上拉电阻，用以具备输出高电平的能力。连接方式如图 2-1 所示：

图 2-1：I2C 连接示意图



虽然，可以通过减小上拉电阻来提高驱动能力，以解决实际应用中的如下问题：

- 时钟的频率显著低于理论的时钟频率；
- 时钟的上升比较迟缓；

但是，上拉电阻并不是越小越好，过小的上拉电阻会造成过大的电流，这通常会威胁输出晶体管的安全。

2.1 计算上拉电阻最小值

如果上拉电阻阻值过小，灌入 I2C 端口的电流将较大，这有可能会损毁输出晶体管。所以若能够知道端口能承受的最大输出灌电流，即可计算出上拉电阻的最小值。

以 SPC1169 为例，如表 2-1 所示，3.3V 引脚，在 STRENGTH 为 3 时，能够承受的最大输出灌电流为 20mA，在此种条件下 R_{\min} 计算为：

$$R_{\min} = \frac{3.3 \times 1000}{20} \Omega = 165 \Omega$$

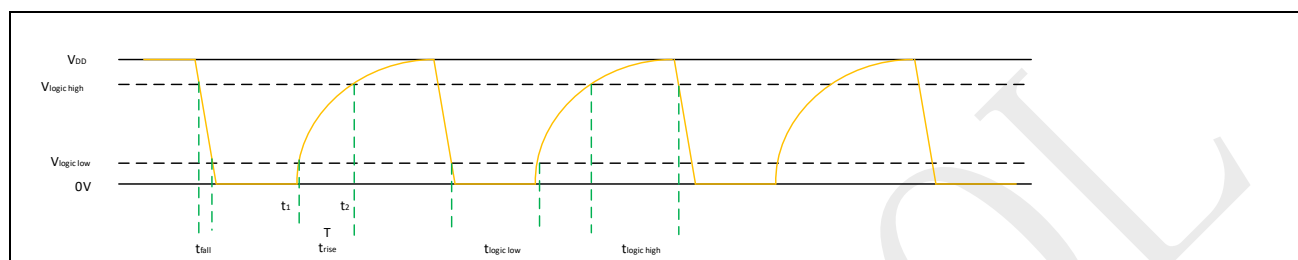
表 2-1: 推荐工作条件

符号	参数	条件	最小值	正常值	最大值	单位
I_{OL_5V}	当 $V_{OL} = 0.4V$ ， $V_{DD5}=4.5V$ ，5V 低电平输出，灌电流	STRENGTH=0 STRENGTH=1	-	-	1.74 26.1	mA
I_{OL_3V}	当 $V_{OL} = V_{OL(MAX)}$ ，3.3V 低电平输出，灌电流	STRENGTH=0 STRENGTH=1 STRENGTH=2 STRENGTH=3	-	-	5 10 15 20	mA

2.2 计算上拉电阻最大值

端口输出高电平是通过上拉电阻实现的，线上电平从低到高变化时， V_{DD} 通过上拉电阻对线上负载电容 C 充电，这需要一定的时间，即上升时间。如果上拉电阻过大，信号上升沿变化缓慢，导致规定的时间内没有到达高电平，造成数据错误。正常特定硬件条件及速率工作时，I2C 设备应满足如图 2-2 所示的时序要求。

图 2-2: I2C 时序要求



在 I2C 总线上的电压随时间变化的公式为：

$$V(t) = V_{DD}(1 - e^{\frac{-t}{RC}})$$

I2C 协议规定，低电平输入电压小于 $0.3 * V_{DD}$ ，高电平输入电压大于 $0.7 * V_{DD}$

$$V_{I2C_L} = 0.3 * V_{DD} = V_{DD}(1 - e^{\frac{-t_1}{RC}})$$

$$V_{I2C_H} = 0.7 * V_{DD} = V_{DD}(1 - e^{\frac{-t_2}{RC}})$$

解得：

$$t_1 = \ln\left(\frac{1}{0.7}\right) * RC$$

$$t_2 = \ln\left(\frac{1}{0.3}\right) * RC$$

$$t_2 - t_1 = 0.8473 * RC$$

令

$$t_2 - t_1 = T$$

得：

$$T = 0.8473 * RC$$

也就是 RC 越大，上升时间 T 越慢，但最大上升时间 T_{max} 要小于表 2-2 所示。

表 2-2: 最大上升时间 (T_{max})

参数	标准模式 (Max)	快速模式 (Max)	快速模式 Plus (Max)	高速模式 (Max)
T_{max} SDA 和 SCL 上 升时间	$(\frac{1}{f_{I2C}} * \frac{4}{10}) * \frac{8}{10}$	$(\frac{1}{f_{I2C}} * \frac{4}{10}) * \frac{8}{10}$	$(\frac{1}{f_{I2C}} * \frac{4}{10}) * \frac{8}{10}$	$(\frac{1}{f_{I2C}} * \frac{6}{10}) * \frac{8}{10}$

因此：

$$R_{max} = \frac{T_{max}}{0.8473 * C}$$

R_{max} 不仅与 T_{max} 有关，还与负载电容有关（I2C 通信距离，I2C 设备个数），一种简单的电容估算方法如下：

- 通过数据手册找到总线上各设备节点对应引脚电容；
- 每 1 厘米 PCB 线路折合 1.5pF 电容；
- 每 1 厘米杜邦线折合 1pF 电容；
- 将以上电容值相加。

假设负载电容为 200pF，通信模式为标准模式 50k，代入得：

$$R_{max} = \frac{\left(\frac{1}{50000} * \frac{4}{10}\right) * \frac{8}{10}}{0.8473 * 200 * 10^{-12}} = 37767\Omega$$

假设负载电容为 200pF，通信模式为快速模式 500k，代入得：

$$R_{max} = \frac{\left(\frac{1}{500000} * \frac{4}{10}\right) * \frac{8}{10}}{0.8473 * 200 * 10^{-12}} = 3776\Omega$$

假设负载电容为 200pF，通信模式为快速模式 Plus 1000k，代入得：

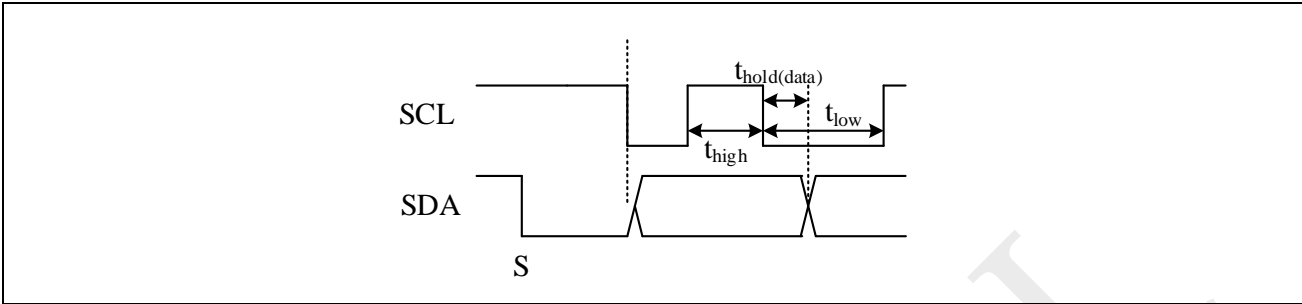
$$R_{max} = \frac{\left(\frac{1}{1000000} * \frac{4}{10}\right) * \frac{8}{10}}{0.8473 * 200 * 10^{-12}} = 1888\Omega$$

假设负载电容为 200pF，通信模式为高速模式 3M，代入得：

$$R_{max} = \frac{\left(\frac{1}{3000000} * \frac{6}{10}\right) * \frac{8}{10}}{0.8473 * 200 * 10^{-12}} = 944\Omega$$

3 Hold 时序

图 3-1: Hold 时序



数据保持时间为 SCL 拉低后 SDA 的保持时间。

表 3-1: $t_{\text{hold}}(\text{SDA})$

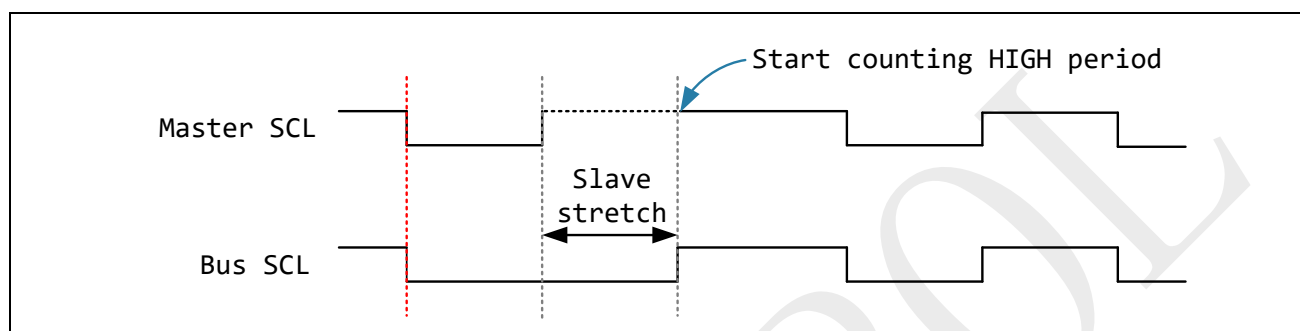
芯片型号	$t_{\text{hold}}(\text{SDA})$
SPC1198B 系列 SPC2188 系列 SPC1185 系列 SPC4268 系列	$(\text{I2CSDAHOLD}+1) \times T_{\text{CLK_I2C}}$
SPC1125 系列 SPC1168 系列 SPC2168 系列 SPC1169 系列	$\text{I2CSDAHOLD} \times T_{\text{CLK_I2C}}$

4 时钟拉伸

如图 4-1 所示，时钟拉伸利用 SCL 的“线与”特征实现。其含义为：SCL 虽然是由主机产生的，但是从机可以通过拉低 SCL 来延长 SCL 的低电平时间（不会缩短 SCL 的高电平时间）。

UFm 总线没有“线与”特点，不会有时钟拉伸。

图 4-1：时钟拉伸定义



作为从机，软件可以配置是否使能时钟拉伸。如果禁用（I2CCTL.CLKSTRETCH=0），从机接收外部主机写请求且接收 FIFO 满时，产生 RXOVF 中断事件；收到外部主机读请求且发送 FIFO 为空时，产生 TXUDF 中断事件。如果使能（I2CCTL.CLKSTRETCH=1），则在以下几种情况下对 SCL 拉伸，直到条件撤除：

接收 FIFO 满（如图 4-2 中的①②③）；

收到地址后并应答后，发送 FIFO 依然为空（如图 4-3 的①）；

发送完一帧数据后主机发出应答，但是发送 FIFO 为空（如图 4-3 的②）；

图 4-2：从机接收的时钟拉伸示例

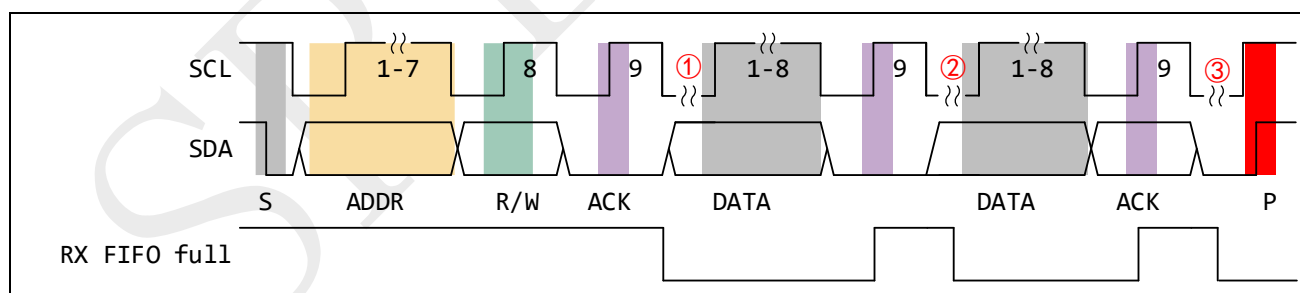
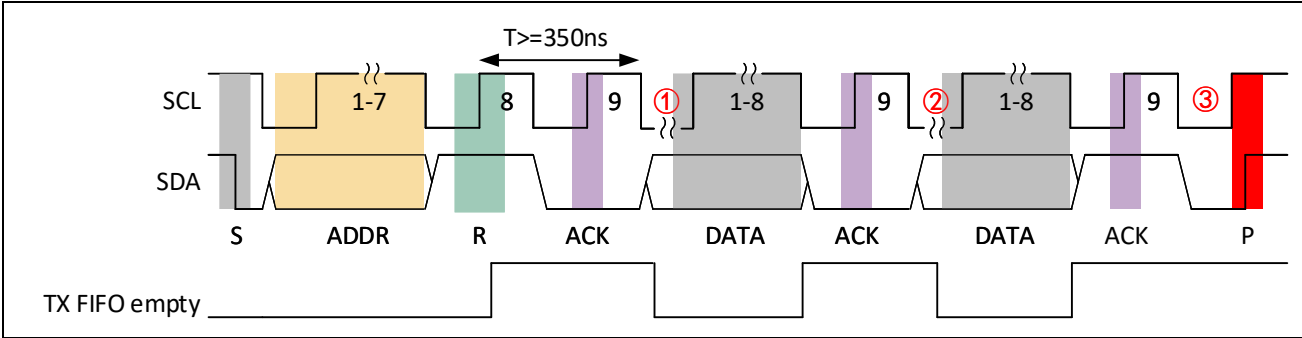


图 4-3：从机发送的时钟拉伸示例



如图 4-4 所示，从机发送 SDA 后，会继续拉伸 SCL 一段时间，以满足 SDA 数据建立时间要求。

图 4-4：时钟拉伸后的 SDA 数据建立时间

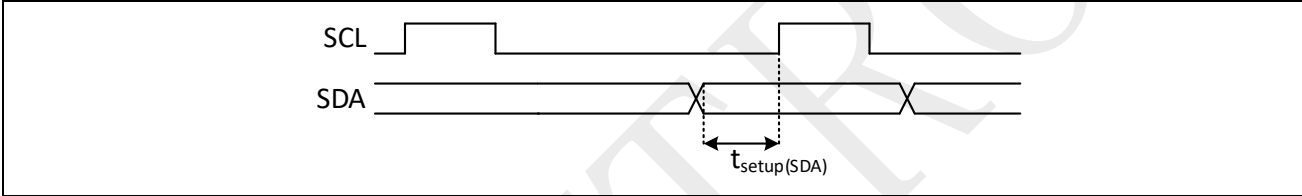


表 4-1： $t_{\text{setup}}(\text{SDA})$

芯片型号	$t_{\text{setup}}(\text{SDA})$
SPC1198B 系列 SPC2188 系列 SPC1185 系列 SPC4268 系列	$(\text{I2CSDASEPUP}+1) \times T_{\text{CLK_I2C}}$
SPC1125 系列 SPC1168 系列 SPC2168 系列 SPC1169 系列	$(\text{I2CSDASEPUP}-1) \times T_{\text{CLK_I2C}}$

为避免从机长时间将 SCL 拉低导致外部主机无法传输数据，当触发总线阻塞中断事件时，从机时钟拉伸行为立即撤销。